

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-077246

(43)Date of publication of application : 18.03.1994

(51)Int.Cl. H01L 21/336
H01L 29/784

(21)Application number : 03-264058

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 11.10.1991

(72)Inventor : MEHRDAD M MOSLEHI

(30)Priority

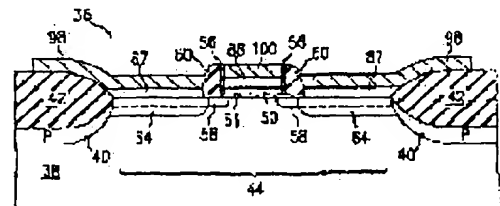
Priority number : 90 596839 Priority date : 12.10.1990 Priority country : US

(54) TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PURPOSE: To eliminate complexity of a manufacturing process for an elevated sourcedrain composition insulated gate FET and limitation of a device performance and easily to realize a low electric resistance mutual junction.

CONSTITUTION: A transistor construction 36 is efficiently distributed near a shallow intensive dope source-drain junction region 64 and a gate conductor-gate boundary 51 and an even dope lower gate region 50 with a high concentration is generated. Terminals of a gate, a source and a drain of the transistor construction 36 are mutually junctioned with other devices in the neighborhood and the distance via the use of reaction high fusion metal mutual junctions 98 and 100. An elevated source-drain type including an elevated source-drain junction region 87 which is simultaneously manufactured with a first upper side gate conductor region 88 can be optionally comprised.



LEGAL STATUS

[Date of request for examination] 18.09.1998

[Date of sending the examiner's decision of rejection] 20.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(11)特許出願公開番号

特開平6-77246

(43)公開日 平成6年(1994)3月18日

技術表示箇所

301 P

審査請求 未請求 請求項の数 2 (全 18 頁)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 メールダッド エム. モスレヒ

アメリカ合衆国テキサス州ダラス，セゴビ
ア ドライブ 15350 - ビー

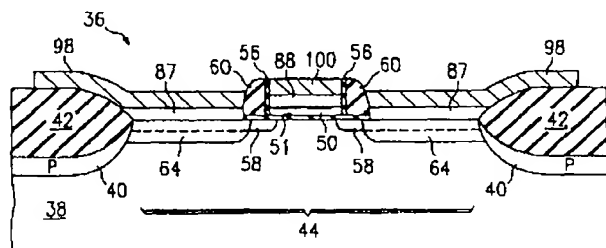
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 トランジスタ及びその製造方法

(57) 【要約】

【目的】 エレベータッドソースードレイン構成絶縁ゲートFET製造プロセスの複雑性、そのデバイス性能制限を除去しかつ低電気抵抗性相互接続を容易に実現できるようにする。

【構成】 トランジスタ構造(36)は、浅い重度ドーパソースードレイン接合領域(64)及びゲート導体ゲート界面(51)近くに効率的に分布し高濃度のドーパントを有する均一ドーパド側ゲート領域(50)を生じる。トランジスタ構造(36)のゲート、ソース、及びドレイン端子を、反応高融点金属相互接続(98)及び(100)の使用を通して近旁又は遠隔の他のデバイスに相互接続する。第1上側ゲート導体領域(88)と共に同時に製造するエレベータードソースードレイン接合領域(87)を含むエレベータードソースードレイン型式をオプション構成できる。



【特許請求の範囲】

【請求項1】 半導体領域近くに絶縁層を形成するステップと、

前記絶縁層近くかつ前記半導体領域と反対側に第1ゲート導体領域を形成するステップと、

前記ゲート導体領域及び前記半導体領域内ヘドープメントを同時に打ち込むことによって前記半導体領域内に打込みソースドレイン領域を形成するステップと、

前記第1ゲート導体領域近くに第2ゲート導体領域を形成するステップと、を含むトランジスタ製造方法。

【請求項2】 半導体領域近くの絶縁層と、

前記絶縁層近くかつ前記半導体領域と反対側の第1ゲート導体領域と、

前記半導体領域内の一対の打込みソースドレイン領域と、

前記第1ゲート導体領域近くの第2ゲート導体領域と、を含むトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、マイクロエレクトロニクスデバイス及び集積回路、特に、有効ドープゲート電極構造と浅い低抵抗ソースドレイン接合領域を有する高性能絶縁ゲート電界効果トランジスタ（IGFET）の構成及び相互接続に関する。

【0002】

【従来の技術】最近の集積回路技術においては、絶縁ゲート電界効果トランジスタ（以下、IGFETと呼ぶ）を構成するために、多数のデバイス製造方法論が提供されている。IGFETデバイスは、高度超大規模集積回路（以下、VLSIと呼ぶ）又は極超大規模集積回路（以下、ULSIと呼ぶ）回路環境に主に応用される。IGFETの製造には、これまで、IGFETのソースドレイン接合領域が浅くかつ低寄生電気抵抗を有する保証をすることが望ましいと認識されている。デバイスチャネル及びゲート長さが縮小されるサブミクロントランジスタにおいては、そのトランジスタに関連した他の横及び垂直寸法を適正に縮小することが、同様に、望ましい。特に、トランジスタのソースドレイン接合深さを縮小しなくてはならない。縮小デバイス寸法及びドープングプロファイルのようなデバイスの他の物理的パラメータを適正に制御しなければならず、さもないと、そのトランジスタの動作に望ましくない作用が起り、これがトランジスタの性能を劣化させるおそれがある。

【0003】縮小IGFETデバイス内の深いソースドレイン接合領域に関連して、少なくとも2つの性能劣化問題がある。第1の問題は、ドレイン誘導障壁低下（以下、DIBLと呼ぶ）として知られる現象によって起こされるデバイスドレイン電流リーケージの可能性である。DIBLは、そのトランジスタチャネルを通して、増大オフ状態電流リーケージを起こす。理論的に及

び理想的には、公称トランジスタスレシヨルド電圧より低いゲート対ソース電圧に対してトランジスタチャネル内にサブスレシヨルドドレイン電流が通過することは決していない。しかしながら、ドレイン対ソース電圧がそのデバイスのスレシヨルド電圧より低い一定のゲート対ソース電圧に対して上昇するに従い、DIBLは、有効チャネル電位障壁の低下に起因してそのデバイスのドレイン電流を同様に増大させる。それゆえ、深いソースドレイン接合領域はDIBLを起こし、後者が、更に、理想デバイス特性から離反するトランジスタの応答を起こさせる。この現象も、DIBLエンハンスサブスレシヨルドリーケージとしてまた知られている。

【0004】第2の問題は、深いソースドレイン接合領域と関連し、なおまたサブスレシヨルドリーケージと密接に関連しており、この問題は、トランジスタチャネル直下に突き抜けリーケージと降伏が起ることである。突き抜けリーケージが起る場合には、トランジスタは、オフ状態（ゲート対ソース電圧がスレシヨルド電圧より低い）にあるにもかかわらず、このトランジスタの個別ドープされたソースドレイン接合領域を囲む空乏領域の接続又は近接によって生成されたバルクリーケージ通路からリーケージを生じる。いったん、このリーケージ電流が起ると、そのトランジスタゲートは、もはや、そのデバイスチャネルの導電率を十分に制御しなくなる。この結果、そのトランジスタ、及びこれを実現するいかなる回路も、動作しなくなるか又は所望するのとは異なるように働く。

【0005】VLSI及びULSIトランジスタの構成において更に関係する事項は、個別トランジスタの種々の端子への高融点金属及び金属シリサイド接点の必要な制御と影響であるとされている。トランジスタゲート領域及びソースドレイン接合領域の表面への高融点金属又は金属シリサイド接点は、技術的に周知の自己整合に基づいて達成される。しかしながら、高融点金属又はシリサイド接点の厚さの選択に当たってはトレードオフが存在する。このトレードオフは、2つの合い反する構想から生じる。第1に、トランジスタのソースドレイン接合領域及びゲート領域に関連した有効面積抵抗を最小化するために、厚い金属シリサイド接点が望ましい。サブミクロン技術の場合は、この構想は、トランジスタの縮小寸法及び向上速度を期待するという理由から、特に重要である。第2に、高融点金属の半導体ソースドレイン表面との熱ケイ化反応によるこの表面の劣化に起因するこのソースドレインシリコンの消費を最小化するために、薄い高融点金属シリサイド層が望まれる。この要求は、ソースドレイン接合領域内の低接合リーケージを保証する。したがって、これら2つの合い反する構想を、高融点金属シリサイド接点を利用するトランジスタを構成するに当たって最適化しなければならない。

【0006】金属-酸化物-半導体（MOS）技術にお

いて採用されている先端 I G F E T は、総合トランジスタゲート寄生抵抗及びゲート相互接続遅延時間を低下させるために、ドーブ多結晶シリコン（又はポリシリコンとして知られるもの）の下側層と高融点金属シリサイドの上側層とを含むスタックゲート構造を、通常、使用する。ポリシリコン層の頂上層は、通常、表面ドーピング又はイオン打込みを使用してヒ素、リン、又はホウ素でドーピングされる。ゲートポリシリコンのドーピングが、特にゲート電極-ゲート誘電体界面近くで高くかつ均一であることは、厳密を要する。厚いポリシリコン層の均一高ドーピングは、高温アニールステップを必要とし、これがまた、そのトランジスタのソースドレイン接合領域及びチャネル領域に欲しないドーパント再分布を生じるおそれがある。他方、低温アニールステップは、浅いソースドレイン接合を維持しかつ（このチャネル内に打ち込まれたスレッシュド電圧調整ドーパントのような）ドーパントのこのデバイスチャネル内での再分布を防止するのに好適であるが、しかしながら、低温アニールは、ゲートポリシリコン内に不十分なドーパント再分布及びゲート電極-ゲート誘電体界面近くに不十分なドーピングを生じる。この現象は、デバイスの性能を劣化する。更に、過剰熱アニールは、深いソースドレイン接合を生じるのみならず、また、ゲートポリシリコンからゲート誘電体を經由してデバイスチャネル領域へのドーパントの浸透を起こす。これらの結果は、このトランジスタのスレッシュド電圧及びその他の特性を変化させることにより拡大されたプロセス制御及びデバイスパラメータを劣化する。高性能トランジスタ構造に対するこれらのトレードオフを克服するために、改善された製造方法が要求される。

【0007】深いソースドレイン接合領域及び高融点金属シリサイド接点の形成に係わる問題を解決するための努力の中で、エレベータッドソースドレイン接合トランジスタとして知られるデバイスがこれまでに開発されている。エレベータッドトランジスタは、そのデバイスの半導体基板（又は井戸）内のドーブソースドレイン半導体領域と、その半導体基板表面上かつそのドーブソースドレイン接合領域の直ぐ上に配置されたエレベータッドドーブソースドレイン半導体領域とを含む。このエレベータッドソースドレイン構造は、上に論じた深いソースドレイン接合領域及び表面高融点金属シリサイド接続に関連した問題を小さくする。しかし、残念ながら、エレベータッドソースドレイントランジスタを構成するための技術的に周知の方法論は、多数のトレードオフを発生している。これらのトレードオフは、製造上の複雑性及びデバイスの動作性の数々の制限を持たず。特に、エレベータッドソースドレイントランジスタの製造に実施される熱アニーリングプロセスは、これらのトレードオフのあるものに適合するために正確に制御されなければならない。これらのアニーリン

グプロセスを制御するのに失敗すると、その結果、動作不能デバイス或は要求された又は指定されたパラメータと異なるパラメータを持つデバイスを生じる。

【0008】VLSI及びULSIの形成における更に他の関係事項としては、互いに局部になるデバイスを相互接続するために使用される方法が、すでにいくつかある。1つの現行の方法は、多数のステップを必要としかつ過剰な不反応材料を浪費することにより非効率に陥っている。代替の周知の方法は、高電気抵抗を持つ高融点金属窒化物のような相互接続材料を利用するが、この高抵抗が全体回路速度を低下しかつ相互接続線の延びることのできる距離を制限する理由から、問題が多い。これらの方法は、プロセス再現性問題を起こすおそれのある複雑な製造技術に依存している。

【0009】局部相互接続プロセスを完成するために、しばしば、多くのプロセッシングステップが必要とされる。第1型式の相互接続方式は、トランジスタのソースドレイン領域及びゲート領域上に高融点金属シリサイド接点を形成することを含むと共に、他方、トランジスタの活性領域の寸法を超えて延長するいかなる（窒素と反応又は不反応性いずれかの）過剰材料も廃棄する、それゆえ、浪費する。その後、レベル間誘電体が堆積され、かつこの中に金属接点孔が、標準ホトリソグラフィ又はエッチングプロセスを使用して、形成される。最後に、金属層が堆積され、これによって、この頂部金属層と先に形成された高融点金属シリサイド領域との間に接点を形成する。第2型式の相互接続方式は、トランジスタ上に高融点金属シリサイド接点を形成し、及びこの高融点金属シリサイド形成中にフィールド絶縁領域上に形成されかつこのトランジスタの活性寸法を超えて延長する金属窒化物材料のいくつかの選択部分を保存することを含む。これらの選択部分は、通常は、高融点金属窒化物で作られており、局部相互接続として使用されるが、しかしながら、これらの部分は、そのトランジスタのゲート領域及びソースドレイン領域上にシリサイド接点を有するのでその半導体と反応していないという理由から、高電気抵抗を有する。この高電気抵抗は、特にサブミクロン技術においては、この型式の局部相互接続の実用長と効率を酷しく制限する。

【0010】

【発明が解決しようとする課題】したがって、上に識別されたトレードオフ及び問題を最適化しかつこれらに適合する高性能 I G F E T の構成及び相互接続を含む方法と構成に対する要望が起こっている。

【0011】

【課題を解決するための手段】本発明によれば、高性能 I G F E T の構成と相互接続に係わる方法及び構造が提供され、これらは先行技術の方法論及び構造に関連した欠点と問題を除去又は減少する。

【0012】本発明は、半導体領域近くに絶縁層を形成

10

20

30

40

50

するステップを有するトランジスタの形成方法を含む。
第1、第2導体領域を含むスタックゲート導体領域は、この絶縁層近くかつその半導体領域と反対側に形成される。更に、打込みソースドレイン接合領域が、第1ゲート電極領域及び半導体領域内にドーパントを同時に打ち込むことによって形成される。

【0013】本発明に関連した方法論及び構造は、多数の技術的利点を持たず。本発明の第1の技術的利点は、pチャネル又はnチャネルトランジスタ製造プロセスのいずれとも成立するその適合性である。更に、軽度ドーブドレイン（以下、LDDと呼ぶ）トランジスタ構造及びプロセスとの適合性が技術的利点として存在する。本発明の更に他の技術的利点は、トランジスタゲート領域とソースドレイン接合領域とを同時にかつ最適化ドーブする一方、浅いソースドレイン接合領域と有効ドーブゲート電極の形成に関連したトレードオフに適合可能にするプロセスである。本発明の更に他の技術的利点は、エレベータッドソースドレイントランジスタ構造に対するオプションの提供である。このエレベータッド構造は、ソースドレイン接合領域の制御された浅い有効電氣的深さ、低減突き抜けリーケージ及び低減DIBLデバイス性能劣化作用を生じ、及びトランジスタのソースドレイン接合領域の有効電氣的深さを劣化することなく、かつソースドレイン接合リーケージ密度をエンハンスすることなく厚い反応高融点金属半導体表面分路を可能とする。本発明の更に他の技術的利点は、トランジスタ構造とその近傍並びに遠隔のデバイスとの間の高導電率相互接続の形成である。

【0014】本発明及びその更に他の利点の一層完全な理解のために、付図を参照して次の詳細な説明を行う。

【0015】

【実施例】図1は、全体的に10で指示された先行技術のエレベータッドソースドレイントランジスタ（IGFET）の横断面図である。トランジスタ10は、半導体基板12上又は半導体基板内に形成されたドーブ井戸領域上に形成される。ここで行われる全ての説明はp形井戸内に形成されたnチャネルIGFETについてであるが、しかしながら、pチャネルIGFETに対する構造及び製造フローも、反対ドーパント型式又は極性を除き、nチャネルデバイスのそれと類似である。pチャネルストップ領域14及びフィールド絶縁領域16は、基板12内に形成され、これによって、これら両領域間に堀（すなわち、活性デバイス）領域18を規定する。堀領域18は、活性トランジスタデバイスが形成される所の面域を規定する。ゲート導体20が、堀領域18上に形成され、かつ薄いゲート絶縁体22によって半導体基板12から分離され、これによって、これらの間にゲート導体-絶縁体界面21を規定する。ゲート導体20は、厚さ3,000から5,000Åの程度のドーブポリシリコンである。このポリシリコンは、化学気相蒸着

（以下、CVDと呼ぶ）によって形成される。ゲート導体20の形成後、LDD領域24が、ゲート導体20とフィールド絶縁領域16との間の半導体基板12をドーブするイオン打込みステップによって、形成される。

【0016】側壁絶縁スペーサ26は、ゲート導体20近くに形成される。標準LDDプロセスの場合は、重度ドーブソースドレイン接合領域28が、フィールド絶縁領域16と側壁絶縁スペーサ26との間の半導体基板12内に打ち込まれる。エレベータッドソースドレイン接合領域30は、重度ドーブソースドレイン接合領域28に重畳する半導体基板12表面上に形成される。したがって、LDDソースドレイン接合領域24と重度ドーブソースドレイン接合領域28の組合わせが、トランジスタ10に対する打込みソースドレイン接合領域を形成しかつ“電氣的接合深さ”を規定する。

【0017】チタンがシリコンと行うような高融点金属の熱反応から生じるシリサイドを典型的に含む高融点金属シリサイド接点32及び34が、エレベータッドソースドレイン接合領域30及びゲート導体20上に、それぞれ、形成される。これらのシリサイド接点は、窒素、アンモニア、又は不活性ガス内のアニーリングに基づく自己整合シリサイド（SALICIDEとも呼ばれる）プロセスとして知られるプロセスによって形成される。高融点金属シリサイド接点32及び34の形成に使用されたアニーリングプロセスの結果として、フィールド絶縁領域16上に過剰セグメント35が形成する。典型的に、過剰セグメント35は、不反応チタン又は（もしチタンが初期高融点金属として使用されるならば）反応窒化チタンのいずれか、又はこれら2つの金属の組合わせを含む。

【0018】先行技術のエレベータッドソースドレイントランジスタ10は、その形成に必要なトレードオフを、これまでのところ、含んでいる。特に、デバイスを構成するに当たり調停しなくてはならない主要な2つの競合する利害関係が、トランジスタ10の形成に当たり存在する。これら2つの主要な利害関係は、(1) 打込みソースドレイン接合領域24及び28の深さを可能な限り浅く維持すること、及び(2) 導体-絶縁体界面21近くでゲート導体20を十分にドーブすること、である。各目標を達成するための必要性、及びこれらの目標を調停するに当たり出会うトレードオフについて、下に論じる。

【0019】技術的に周知のように、適当な仕事関係を有する導電材料がゲート導体20に、好適には、利用される。しかしながら、ゲート絶縁体22と接触する金属ゲート20を有することによって生じるであろう応力及び汚損問題に起因してデバイス信頼性及び摩耗特性がかなり劣化するおそれがあるという理由から、金属材料はゲート導体20にとって特に不適当であることが知られている。或る応用においては、仕事関数及びデバイス

レッシュヨルド電圧上の構想から、高融点金属、金属窒化物又は金属シリサイドがゲート絶縁体22と直接接触するゲート導体20として使用されるが、しかしながら、この選択は、通常、追加のプロセスの複雑性を生じる。したがって、充分高い電気抵抗を持つようにドーブされたポリシリコンが、ゲート導体20に適当な材料として、これまで、充分に認められている。しかしながら、ドーブポリシリコンの使用から起こる問題は、ゲート導体-絶縁体界面21近くを十分に重度ドーブすると同時に全てのプロセッシングトレードオフを満たす特に必要性と強調の下に、全ゲート導体20を十分にドーブすることの困難性にあった。この界面は、周知でありかつポリシリコン-シリコン酸化物系については充分に特性解明されており、かつデバイス性能はゲート界面21近くのゲート導体20の一貫したドーピングの充分性に直接関係する。ポリシリコンゲート導電率は、高融点金属又はシリサイド重畳層でゲート電極を分路することによって、効果的に増大される。

【0020】界面21近くのドーパントの高濃度及び均一分布を有する、充分にドーブされたゲート導体20の形成は、2つの方法のうちの1つによって、これまで達成されてきた。第1の方法では、ゲート導体20が、打込みソースドレイン接合領域24及び28の形成から分離された時間に予堆積炉内で堆積される。第2の方法では、ゲート導体20及び打込みソースドレイン接合領域24、28が、イオン打込み及び続くその後の高温アニールプロセスによって同時にドーブされる。これらのプロセスの各々の方法論及び各々に関連した問題を、下に論じる。強調しなくてはならないのは、ポリシリコンゲート-絶縁体界面21の不充分及び(又は)不均一なドーピングは、デバイス性能及びスレッシュヨルド電圧劣化を生じるおそれがあるということである。

【0021】分離時間におけるゲート導体20のドーピング及び打込みソースドレイン接合領域24、28の形成は、2つの方法のうちの1つで完成される。より普通の方法は、3つのステップでゲート導体20を構成する。第1ステップで、不ドーブ半導体層が絶縁層頂上に形成され、後者は、半導体基板12上に形成される。第2ステップで、不ドーブ層がそのデバイスを炉内に置くことによってドーブされ、この不ドーブ半導体層を拡散ドーピングする。第3ステップで、ポリシリコン層がパターン化されてゲート絶縁体22に重畳するゲート導体20を形成する。その後、打込みソースドレイン接合領域24及び28が、周知の打込み技術によって形成される。打込みソースドレイン接合領域24及び28から分離しているドーブゲート導体20を形成する第2のかつ余り一般的でない方法は、ゲート導体層をこの層が形成される際にインサイトドーピングすることによって完成される。その後、この層がパターン化されてゲート絶縁体22上にドーブゲート導体20を残す。この場合

も、打込みソースドレイン接合領域24及び28が、次いで、周知の打込み及びスペーサ形成技術によって形成される。

【0022】インサイトドーブポリシリコン堆積プロセスは、まだ、打込みドーブ又は拡散ドーブポリシリコン導体形成プロセス程には充分に制御及び最適化されてはいない。更に、インサイトドーピングの高レベルに関連したプロセス困難性に起因する問題が起こる。インサイトドーピングは、重要な堆積運動力学パラメータ及びポリシリコン層物理パラメータに影響するおそれがある。更に、インサイトドーブポリシリコン堆積プロセスは、有機ドーパント源ガスに起因して堆積薄膜中に比較的高レベルの炭素を含有させる。

【0023】打込みソースドレイン接合領域24及び28からの分離プロセスステップにおいてのポリシリコンゲート導体20のドーピングの上に論じた2つの方法の各々は、これらに関連した劣勢反面を持つ。特に、これらの分離ドーピングステップは、そのデバイス製造に関連した時間消費と製造コストを増大する追加のプロセッシングステップを必然的に要求する。更に、続くその後の打込みソースドレイン接合領域24及び28の形成は、ドーパント活性化のための追加の熱アニーリングステップを必要とし、このステップが、ゲート導体20の形成前にトランジスタチャネル内にすでに打ち込まれているドーパントを駆動又は再分布する。これらのドーパントは、デバイスのスレッシュヨルド電圧を調整しかつDIBL作用と突き抜けリーケージを防止するために、典型的にイオン打込みによってチャネル内に配置される。そのチャネル内のいかなるその後のこのドーパントの再分布又は深さ変更も、このデバイス特性に好ましくない作用を起こす。このドーパント再分布作用は、不ドーブポリシリコン層の堆積の後に炉内ドーピングによって行われるときには、ことさら増大する。この増大は、その追加熱処理ステップに起因する。

【0024】上述のように、ゲート導体20及び打込みソースドレイン接合領域24、28は、同じドーパントイオン打込みを使用して同時にドーブされる。このプロセスは、典型的に、半導体基板12表面上に形成された絶縁ゲート誘電体層の上に不ドーブポリシリコン層を堆積することを含む。その後、マイクロソグラフィ及びプラズマエッチを含む標準集積回路製造プロセスが実現されて、ゲート絶縁体22上にゲート導体20をパターン化する。続いてその後、ヒ素、リン、又はホウ素のような適当なドーパント(通常、nチャネルデバイス用にはn形ドーパント、及びpチャネルデバイス用にはp形ドーパント)が、ゲート導体20及び半導体基板12の露出面域をドーブするのに利用され、これによって、ゲート導体20をドーブすると同時にイオン打込みソースドレイン接合領域24及び28を形成する。イオン打込みステップに続き、熱アニーリングステップ

が行われてゲート導体20を均一にドーブし、かつまた、ソースドレイン接合領域24及び28内のドーバント原子を活性化する。

【0025】ゲート導体20及び打込みソースドレイン接合領域24及び28を同時にドーブする方法は、多数の欠点と酷しいトレードオフを伴う。技術的に周知のように、打込みソースドレイン接合領域24および28の深さを最小化することが好ましい。これらの領域に対する接合深さを浅く維持するために、正しく十分に低い打込みエネルギー、普通、10から50keVの程度のエネルギーが、先端サブミクロン技術に必要である。これらの低エネルギーは、ドーバントを浅いレベルに打ち込むが、しかしながら、このレベルは、ドーバントが界面21近くにあることを必要とする領域へゲート導体20の深さを通してこれらのドーバントを駆動するには、通常、充分ではない。更に、十分に低エネルギーのドーバントイオン打込みは、打込みドーバントプロファイルの尾部がゲート誘電体及びデバイスチャネル領域内に浸透するのを防止する。この結果、続くその後の高温アニーリングステップが、ソースドレイン接合領域24及び28内の先に打ち込まれたドーバントを活性化し、かつゲート導体20全体を通してドーバント原子を均一に分布するために、必要である。しかしながら、このアニーリング温度が所定の上側スレッショルドを超えないように又はデバイス性能劣化がないように、このアニーリングプロセスを慎重に制御しなければならない。更に、長いアニール時間期間はこれらのドーバントをそのデバイス内に余りに深く移動させ、これによって深い打込みソースドレイン接合領域24及び(又は)28を形成し、かつドーバントをゲート電極-誘電体界面21を通してデバイスチャネル内に駆動する可能性があり、これらの両方がこのIGFETデバイスの最終電気特性に好ましくない影響を与えるであろうという理由から、このアニールの時間期間を制御しなければならない。したがって、ゲート導体20、及びソースドレイン接合領域24及び28を同時にドーブする方法は、低エネルギーイオン打込み、これに続く最適温度及び所用時間のアニーリングプロセスを含む、十分に制御されたかつ平衡のとれたプロセスを、外見上、必要とする。

【0026】しかしながら、反対構想が、低打込みエネルギー、打込み後アニールに対する温度及び時間期間の必要を否認する。ゲート導体20全体を通して界面21に向けてドーバントを有効にかつ均一に分布するために、デバイスの打込み後アニールは、これらのドーバントを一様に分布するのに充分に強くなければならない。上述のように、このようにすることを失敗すると、低下相互コンダクタンス又は低下利得を含む低デバイス性能を持たらす。更に、ゲート導体20の厚さ(普通、3,000~5,000Å)は、特に、比較低イオン打込みエネルギーが使用される場合、打込みドーバントを界面

21近くの面域へ駆動するために長い熱処理を必然的に要求する。したがって、ゲート導体20の形成は高い打込みエネルギー、高いアニーリング温度及び長い時間期間を好ましいとし、他方、打込みソースドレイン接合領域24及び28の形成は低い打込みエネルギー並びに低いアニーリング温度と短い時間期間を要求するという理由から、ゲート導体20、及び打込みソースドレイン接合領域24、28が同時にドーブされるとき酷しいトレードオフに出会うことが、判かる。更にまた言及しなくてはならないのは、均一ゲートドーピングは高打込みエネルギー及び打込み後強アニールを好ましいとするけれども、これらのプロセスパラメータは、高過ぎてドーバントのゲート絶縁体22及びデバイスチャネルへの浸透を起こすようであってはならないということである。

【0027】上に加えて、図1のエレベータッドソースドレイントランジスタ10に係わる追加構想が、なおまた、過剰セグメント35について行われる。特に、過剰セグメント35は、普通、反応高融点金属シリサイド接点32および34と同時に形成される。これらの領域は、チタン又はタングステンのような薄い高融点金属のスパッタ堆積及び続くその後の窒素又はアンモニア雰囲気中でのアニーリングステップの結果として形成される。この高融点金属チタンは、エレベータッドソースドレイン接合領域30及びゲート導体20の半導体材料と反応し、これによって、高融点金属シリサイド接点32及び34用の導電反応シリサイド領域を、それぞれ、形成する。過剰セグメント35は、不反応チタン又は不反応窒化チタンのいずれかの部分である。これらのセグメントは、堆積チタンと窒素又はアンモニア雰囲気との間の反応に起因して絶縁層上に形成する。このプロセスは、自己整合シリサイド又は“SALISIDE”と称せられる。

【0028】先行技術は、2つの方法のうちの1つで過剰セグメント35を処理してきた。第1の方法では、過剰セグメント35(並び側壁絶縁体スペーサ26上に残された、図1には示されていない、過剰金属又は金属窒化物の耳)が全面的に除去され、かつ続くその後のメタライゼーションプロセスが、高融点金属シリサイド接点32及び34への必要な接続を作る(かつ回路全体の相互接続を配設する)のに使用される。特に、過剰セグメント35(及び側壁耳)が除去された後、レベル間誘電体層がトランジスタ10上に形成され、かつ接点孔がこの誘電体層内に作られる。その後、金属層がこのレベル間誘電体層上に形成され、金属接点がこの接点孔を通して作られ、これによって、トランジスタ10への接続を作る。過剰セグメント35を処理する第2の方法は、フィールド絶縁領域16上のかつ延長ソースドレイン接点及びゲート接点として動作可能な窒化チタン層の使用に基づく。シリサイド形成アニーリングプロセス

の後、どの絶縁領域上の窒化チタンもパターン化されかつエッチされ、及び残されたパターン化部分が局部相互接続として採用される。高融点金属窒化物に基づくこれらの局部相互接続は、低導電率を有し、したがって、デバイス相互接続遅延を起こすことがあり、短距離（例えば、 $1\mu\text{m}$ 技術においては $20\mu\text{m}$ 未満）に亘る相互接続に実用可能であるに過ぎない。これらの“SALICIDE”技術の潜在的制限は、金属シリサイド及び絶縁酸化層を除去することなく過剰高融点金属窒化物を除去することのできる高選択性ドライエッチングの必要性である。これらのエッチプロセスは、通常、現像するのが困難である。

【0029】上述に照らして、トランジスタ10を構成しかつこれを相互接続する先行技術に周知の方法論は、多数のトレードオフを生じることが、明らかである。更に、最適デバイスを提供するためには、潜在的プロセス複雑性及びデバイス性能制限を慎重に検査しなければならない。しかしながら、本発明は、ゲート導体及び打込みソースドレイン接合領域の同時最適ドーピングすると共に、他方上述の全てのトレードオフ及び構想に適合することを可能にする新規なデバイス製造プロセスフロー及び構成を提供する。特に、本発明は、上述のトレードオフに適合し、ドーパントがゲート導体-絶縁体界面近くに充分にかつ均一に駆動され、かつ浅い打込みソースドレイン接合領域を維持することを可能とする。更に、効率のかつ多々利点を有する相互接続方法及び製造プロセスフローが提供される。

【0030】本発明の好適実施例は、図1～図19に示されており、これらの図を通して同様な符号は、同様かつ対応する部品を指示するのに使用される。

【0031】図2は、本発明により構成されたかつ全体的に36で指示されたトランジスタ構造の横断面図である。トランジスタ構造36（全ての説明はnチャネルIGFETに対してである）は、pチャネルストップ領域40及びその上に形成されたフィールド絶縁領域42を有する半導体基板38を含む。半導体基板38は、1つの基板を含むか、又はこの代わりに、半導体基板内に形成されたドーピング半導体井戸（nチャネルデバイスの場合p形井戸及びpチャネルデバイスの場合n形井戸）であってもよい。半導体基板38（又は関連したドーピング井戸）は、好適には、シリコンであり、かつ説明目的上、p形シリコンである。注意しなくてはならないのは、本発明の実施例はnチャネルトランジスタを説明するが、本発明は、ドーパント型式又は極性を反対にしたときpチャネルデバイスに適用可能であることである。

【0032】領域40及び42は、一般に、ホトリソグラフィプロセスで以て構成されて、活性デバイスがその後構成される所の堀領域44を規定する。pチャネルストップ領域40及びフィールド絶縁領域42は、デバイス対デバイスアイソレーションを、向上するために利

用される周知のプロセスにより形成される。特に、フィールド絶縁領域42は、いわゆる、シリコン局部酸化（以下、LOCOSと呼ぶ）プロセス又はポリバッファLOCOS（以下、PBLと呼ぶ）プロセスによって形成される。比例縮小絶縁かつ堀領域42及び44を形成するために従来のLOCOS又はPBLの代わりに他のプロセッシング技術も、使用される。犠牲絶縁層46が、半導体基板38表面上かつフィールド絶縁領域42間に熱酸化のようなプロセスによって形成される。犠牲絶縁層46は、好適には、厚さ $200\sim 400\text{\AA}$ の程度の成長酸化層である。スレッシュOLD電圧調整又は突き抜け防止イオン打込みなどのような、いかなる追加の打込みも、犠牲絶縁層46の形成後に堀領域49内に遂行される。犠牲絶縁層46の成長は、アイソレーションプロセスフローに起因するいかなる残留表面損傷をも除去するように助援する。

【0033】図3は、下側ゲート領域50、中間ゲートエッチストップ層52、及び処分可能上側ゲート領域54を含む初期多層ゲート電極スタックの形成に続くトランジスタ構造の横断面図である。図2に示された犠牲層46は、ウェット又は無損傷ドライ等方性エッチによって除去される。ゲート絶縁層48は、フィールド絶縁領域42間の半導体基板38表面に形成される。ゲート絶縁層48は、トランジスタ構造36に対するゲート誘電体として動作する。ゲート絶縁層48は、好適には、厚さ 100\AA 程度の熱成長酸化層である。窒化シリコン又は窒化酸化物のような他のゲート誘電体材料もまた、使用される。ゲート絶縁層48は、構造上、好適には非晶質であるが、しかしまた、（もし CaF_2 又はサファイヤのようなエピタキシャル絶縁体を使用されるならば）単結晶でもよい。

【0034】下側ゲート領域50、中間ゲートエッチストップ層52、及び処分可能上側ゲート領域54を含む三層ゲートスタック構造は、ゲート絶縁層48上に形成される。好適には、このゲート構造は、次のように形成される。ポリシリコン、非晶質シリコン、シリコン-ゲルマニウム合金、又はゲルマニウムのような薄い半導体層が、 $1,000\text{\AA}$ 程度の厚さに堆積される。この薄い半導体層は、それ自身とゲート絶縁層48との間にゲート導体-絶縁体界面51を規定する。厚さ $10\sim 100\text{\AA}$ 程度の酸化シリコンのような薄いエッチストップ層が、熱酸化又はCVDによってこの薄い半導体層上に形成される。最終的に、ポリシリコン、非晶質シリコン、シリコン-ゲルマニウム合金、又はゲルマニウムのいずれかを含む半導体層のような、厚い材料層が、この薄い絶縁層の上に $4,000\text{\AA}$ 低の厚さに堆積される。処分可能上側ゲート領域は、適当な絶縁体のような他の材料であってもよい。しかしながら、半導体材料が、好適な選択である。

【0035】この三層構造は、周知のホトリソグラフィ

ー及びブイスマエッチプロセスによってパターン化され、これによって、図3に示される構造を生じる。このエッチングステップは、好適には、シリコン対酸化物選択率が、通常、40対1より大きい異方性プラズマエッチ（例えば、反応性イオンエッチすなわちRIE、マグネトロンーイオンエッチすなわちMIE、又は電子サイクロトロン（ECR）プラズマエッチ）によって達成される。この高選択率は、ゲート絶縁層48を通して完全にエッチすることなくこのゲートスタック内の下側半導体層50を適正にエッチするために、選択される。したがって、このエッチ選択率及びオーバーエッチ時間は、ゲート絶縁層48を通しての浸透を防止するために、適正に制御されなければならない。薄いエッチストップ層52は、処分可能上側ゲート層54を通してのエッチングの後に代替インサイトエッチプロセスを使用することによって除去されることもできる。ゲート規定用ミステップエッチ（好適にはインサイト）順序中の第2ステップは、半導体層54及び50上のいかなる線幅損失又はアンダカットを起こすことなく、エッチストップ層52を通して効果的にエッチする。

【0036】先に述べたように、注意しなくてはならないことは、これらの薄い及び厚い半導体層は、代替半導体材料を含むこともできるということである。このような材料としては、限定的にではなく、シリコンーゲルマニウム、多結晶ゲルマニウム、多結晶シリコンーゲルマニウム合金、及び非晶質ゲルマニウムがある。更にまた注意しなくてはならないことは、上述の層の全て3つの堆積は、好適には、インサイトプロセスによって達成される、すなわち、全て3つの層は、その上側半導体層とその下側半導体層との間の薄いエッチストップ酸化層を形成するために、プロセス室からウェハを取り出すことを要せず同じプロセス装置内でインサイト多重ステップによって形成されるということである。処分可能上側ゲート層54は、シリコンに代わる他の材料であってもよい。他の選択は、リン化ケイ酸ガラス（PSG）、ホウ化ケイ酸ガラス（BSG）、及びホウリン化ケイ酸ガラス（BPSG）並びに窒化シリコンのようなドーブCVD酸化物層を含む。エッチストップ層52は、酸化シリコン以外のエッチ阻止材料を含んでもよい。

【0037】図4は、チャネル領域53を規定する第1側壁スペーサ56及びLDDソースドレイン接合領域58の形成に続くトランジスタ構造36の横断面図である。側壁スペーサ56は、2つの好適方法のうちの1つによってゲート領域50、層52、及び層54の側壁上に形成された酸化シリコン又は窒化シリコンのような絶縁材料である。第1の方法では、酸化層が30から200Åの厚さにこれらの側壁上に熱的に成長させられる。代替的に、酸化層又は窒化層が、低圧CVD（以下、LPCVDと呼ぶ）とこれに続く短い反応性イオンエッチ（以下、RIEと呼ぶ）サイクルを使用して堆積されて

もよい。いずれのプロセスも、図4に示されたような絶縁側壁スペーサ56を生じる。酸化物又は窒化物側壁スペーサ56は、好適には、構造上非晶質である。

【0038】LDDソースドレイン接合領域58は、イオン打込みプロセスによって形成される。このLDD打込みドーズは、デバイス利得を著しく劣化することなく、このデバイス信頼性及び向上降伏電圧性能に対して最適化される。特に、ドーズは、典型的には、 $5 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{14} / \text{cm}^2$ の程度、好適には $5 \times 10^{13} / \text{cm}^2$ である。打込み用のイオンエネルギーは、15から25keVである。この実施例のnチャネルトランジスタにおいては、普通のドーパントは、ヒ素、リン、又はアンチモンである。注意しなくてはならないのは、ゲート電極に対する所望の仕事関数及びデバイスレシヨルド電圧を維持するために、n形ドーパントは、好適には、nチャネルポリシリコンゲートデバイスに対して使用されるということである。この選択は、更に、このトランジスタが、高ドーズレシヨルド調整チャネルイオン打込みを必要とすることなく、埋込みチャネルデバイスではなく表面チャネルデバイスとして動作することを、保証する。LDDソースドレイン接合領域58は本発明によって提供される好適オプションであるが、しかしながら、本発明下のトランジスタに含まれる必要があるわけではない。したがって、本発明は、代替的に、従来デバイスのソースドレインプロセスで以て構成されることもできる。この場合、LDDイオン打込みに続くLDD接合58の活性化のための高温アニーリングプロセスは、必要でない。

【0039】図5は、第2側壁スペーサ60の形成に続くトランジスタ構造36を示す。第2側壁スペーサ60は、厚さ500から2,500Å、好適には、1,500Åに絶縁層を堆積及びエッチすることによって、形成される。好適には、この堆積絶縁層は、LPCVDプロセスによって堆積された窒化シリコン又は酸化シリコンである。その後、RIEが遂行されてこの窒化シリコン又は酸化シリコンを平坦表面から除去し、これによって、図に示されたように、第2側壁スペーサ60を残す。もし絶縁スペーサ60を形成するために窒化シリコンが使用されるならば、10対1より大きい窒化物対酸化選択率がこのRIEに使用され、これによって、ゲート絶縁層48を除去することなく、平坦表面からの窒化物の完全な除去を可能とする（このゲート誘電体には酸化シリコンが使用されると仮定する）。LDDソースドレイン接合領域58を追って露出するゲート絶縁層48を通してエッチすることなく、この窒化シリコン層を適正にかつ異方性エッチするために、このエッチ選択率及びRIEオーバーエッチ時間を正確に制御しなければならない。第2側壁スペーサ60は、好適には、構造上非晶質である。

【0040】図6は、先に存在する処分可能上側ゲート

領域54の完全選択的除去に続くトランジスタ構造36を示す。第2側壁スペーサ60の形成の後、100対1程度の高シリコン対酸化物及び（又は）シリコン対窒化物選択率を有する等方性エッチが、遂行される。このエッチングプロセスは、処分可能上側ゲート領域54（図5参照）を除去する。このエッチは、中間ゲートエッチストップ層52上で停止し、かつ側壁スペーサ56間かつ中間ゲートエッチストップ層52上のゲートトレンチ面域62を規定する。

【0041】図7は、重度ドーブ浅いソースードレイン接合領域64の形成に続くトランジスタ構造36の横断面図である。イオン打込みステップは、最適ドーズ及びエネルギーにおいて遂行され、これが重度ドーブソースードレイン接合領域64を形成すると同時に下側ゲート領域50をドーブする。ここでもまた、nチャネルトランジスタのドーパントの普通例は、ヒ素、リン又はアンチモンである。打込みは、ドーパントのチャネル領域50への浸透を防止するために、10から100keVの程度、好適には、20keVの低エネルギーレベルにおいて遂行される。この打込みステップにおけるイオンドーズは、 $1 \times 10^{15} / \text{cm}^2$ から $5 \times 10^{16} / \text{cm}^2$ の程度、好適には、 $5 \times 10^{15} / \text{cm}^2$ である。エッチストップ層52は、この打込みプロセスが完了するまで、ゲートトレンチ面域62に残される。

【0042】この打込みに続き、高速熱アニーリング（以下、RTAと呼ぶ）又は炉アニーリングプロセスが遂行される。RTA又は炉アニーリングは、ドーパントを薄い下側ゲート領域50内に再分布し、かつLDDソースードレイン接合領域58及び重度ドーブソースードレイン接合領域64内のドーパント原子を活性化する。RTAプロセスは、好適には、30秒間1,000℃で遂行される。炉アニーリングは、（RTAの代わりに）例えば、1時間900℃で使用される。注意しなければならないのは、下側ゲート領域50の厚さ（1,000Åの程度）は、制御温度と所用時間を有する低い中アニーリングステップの使用で以て、ゲート絶縁対界面51近くのドーパントの均一かつ高濃度の分布を可能とするということである。したがって、同時ドーピング及びその後の熱アニールステップは、ゲート絶縁対界面51及びLDDソースードレイン接合領域58近くにおいて、下側ゲート領域50内にシリコンゲートドーパントを適正に分布することを可能とし、並びに、顕著な接合ドーパントの再分布を伴うことなく、ソースードレイン接合領域64を十分に活性化することを可能とする。この結果、先に論じた、厚いポリシリコンゲートの有効ドーピングのための過剰アニーリング温度、所用時間、及び打込みエネルギーを要求する先行技術の問題は、薄い下側ゲート領域50を利用することによって、除去される。

【0043】異方性（又は定時等方性）酸化物エッチが

遂行され、これがゲート絶縁層48（図6参照）の露出部分を除去する。プラズマ酸化物エッチが、更に、ゲートトレンチ面域62内の中間ゲートエッチストップ層52を除去する。

【0044】図8は、エレベータッドソースードレイン接合領域66及び永久上側ゲート半導体領域68の形成後のトランジスタ構造36の横断面図である。選択半導体成長（以下、SSGと呼ぶ）プロセスが、好適には、使用されて、重度ドーブソースードレイン接合領域64に重畳するエレベータッドソースードレイン接合領域66を形成する。このSSGプロセスは、これと同時に、ゲートトレンチ面域62内に永久上側ゲート半導体領域68の形成を起こさせる。このSSGプロセスは、選択的シリコン堆積のため SiH_2Cl_2 （DCS）と HCl 及び H_2 との反応のような選択的堆積プロセス化学を使用するエピタキシャル半導体成長で遂行される。このSSGプロセスの結果、不ドーブシリコン、不ドーブゲルマニウム、又は不ドーブシリコンゲルマニウム合金の自己整合選択的堆積を生じ、これによって、エレベータッドソースードレイン接合領域66及び永久上側ゲート領域68を形成する。エレベータッドソースードレイン接合領域66及び永久上側ゲート領域68は、厚さ4,000Åの程度に形成される。現行の例においては、領域66及び68の下敷材料もシリコンである理由から、シリコンが選択的に成長させられる半導体材料である。しかしながら、云うまでもなく、代替半導体材料、例えば、ゲルマニウム、又はシリコンゲルマニウム合金も、シリコン基板又は下敷半導体材料の代替型式に従って、成長させられる。

【0045】注意しなくてはならないのは、このSSGプロセスによって堆積された半導体層の品質は、デバイス性能に影響する厳格な要因ではないということである。ゲートトレンチ面域62を充填するこのSSG層は、非晶質又はポリシリコンのいずれかでよい。更に、重度ドーブソースードレイン接合領域64上に同時に堆積されるこのSSG層は、非晶質、多結晶、又は単結晶シリコン、ゲルマニウム、又はシリコンゲルマニウム合金である。パターン化半導体基板の種々の部分上に堆積された半導体材料層の型式は、表面形態性、表面欠陥、及び下敷層の型式に依存する。例えば、下側ゲート領域50の多結晶性質は、永久上側ゲート領域68に対するSSG再充填材料が非晶質又は多結晶のいずれかであることを、保証する。しかしながら、重度ドーブソースードレイン接合領域64は単結晶であり、その結果、そのプロセス及びシリコン表面特性が、エレベータッドソースードレイン接合領域66（単結晶、多結晶、又は非晶質）の型式を決定する。SSGプロセスパラメータは、いかなるパターン依存運動力学的（例えば、マイクロ荷重）作用及び面刻をも除去するために、最適化される。これらの構造は、通常、SSGプロセスが運動力学

10

20

30

40

50

的制限又は反応制限をされた堆積領域（例えば、 $T \leq 900^\circ\text{C}$ かつ低温）において遂行されるべきことを意味する。

【0046】SSG層は、不ドーブ半導体として堆積され、かつ続いてその後、下に論じるように、自己整合シリサイド化領域の形成の前又は後のいずれかにイオン打込みされる。続くその後のドーピングは、エネルギーレベル40から100keVにおいて $1 \times 10^{15} / \text{cm}^2$ から $1 \times 10^{16} / \text{cm}^2$ の程度での n^+ （例えば、ヒ素又はリン）イオン打込みによって達成される。その後、このデバイスは、例えば、15から100秒間、 100°C でRTAによってアニールされる。 $5 \times 10^{18} / \text{cm}^3$ から $5 \times 10^{21} / \text{cm}^3$ の程度、好適には、 $5 \times 10^{20} / \text{cm}^3$ のレベルのインサイトドーピングプロセスが、不ドーブシリコンの堆積の代替として使用される。エレベータードソースドレイン接合領域66及び永久上側ゲート領域68の重度ドーブレベルは、ゲート導体-絶縁体界面51近くの際は厳格でないという理由から、インサイトドーピングが可能である。SSGプロセス及びイオン打込みドーピング中のインサイトドーピングの選択は、種々のプロセス構想に基づく。

【0047】図9は、反応高融点金属接点70及び72の形成後のトランジスタ構造36の横断面図である。反応高融点金属接点70及び72は、エレベータードソースドレイン接合領域66及び永久上側ゲート領域68上に形成される。典型的に、反応高融点金属接点70及び72は、厚さ1,000から3,000Åの程度である。反応高融点金属接点70及び72は、好適には、チタン又は他の高融点金属のスパッタ堆積とこれに続く窒素又はアンモニア雰囲気内のRTAを含む自己整合シリサイド、すなわち“SALICIDE”によって形成される。このRTAは、チタンとその下に存在する露出半導体（すなわち、この例においてはシリコン）との反応、及び消費に起因してゲート、ソース、及びドレイン上にシリサイド接点を形成する。反応高融点金属窒化物及びいくらかの不反応高融点金属が、フィールド絶縁領域42及び側壁スペーサ60領域を含む、絶縁表面上に残される。初期RTAの後、不反応チタン及び反応窒化チタン（図には示されていない）が、プラズマ及び（又は）ウェットエッチプロセスで以て選択的にエッチされ、かつ除去される。その後、反応高融点金属接点70及び72に低抵抗を持たせる（かつまたゲート及びソースドレイン接合領域上に化学量論的シリサイドを形成させる）ために、第2RTAが遂行される。

【0048】現行の例は、この高融点金属とその下敷であるシリコンとの反応生成物であるシリサイド金属を指定する。しかしながら、注意しなくてはならないのは、反応高融点金属接点70及び72は、高融点金属が他の型式の代替半導体材料と反応する場合には代替反応生成物を含むこともある（例えば、ゲルマニウム又はシリコ

ンゲルマニウム合金）ということである。

【0049】これまでに論じてきたプロセスステップは、新しいトランジスタ構造を構成する新規な製造方法論を説明している。次の論議は、本発明の代替実施例の構成において実現される、又は本発明により製造されたトランジスタをその近隣の他のデバイスと相互接続するためにいままでの構想に付加されて使用される多数のその他の構想を提供する。

【0050】図10から図14までは、上に論じた図3から図6までの代りに使用される。図10から図14までに関連して論じられるプロセスは、図5に関連して上に論じられた絶縁スペーサ60に対する高窒化物対酸化物選択率を有する慎重制御異方性エッチの必要性を除去する。図5に関する本発明の本来の絶縁スペーサ形成プロセスは、ソースドレイン接合領域58に重畳するゲート絶縁層48の延長の除去を防止するために異方性スペーサ誘電体（窒化シリコン）エッチプロセスパラメータ（ゲート酸化物層48）に対する窒化物スペーサ層エッチに関する選択率）の慎重な最適化を必要とする。図10から図14の構想は、（処分可能上側ゲート電極54を除去するための）その後の等方性シリコンエッチプロセスが、LDDソースドレイン半導体接合領域を侵食かつ除去することをしないことを、保証する。

【0051】図10は、図3のそれに類似の、しかしその上に形成された窒化シリコンパッド重畳層74を更に含む、多層スタックゲート構造を有する本発明のトランジスタ構造36の横断面図である。窒化シリコンパッド重畳層74は、このスタックの頂上にLPCVD又は光電的気相蒸着（以下、PECVDと呼ぶ）プロセスを使用して厚さ100から1,000Åの程度、好適には、400Åに窒化物層を堆積することによって形成される。したがって、図3に関連して論じた三層ではなく材料の四層スタックが存在する。続くその後のホトリソグラフィパターン化及びインサイト異方性エッチが、図10に示されたような四層のパターン化スタックを生じる。これらの層は、下側ゲート領域50、中間ゲートエッチストップ層52、処分可能上側ゲート領域54、及び窒化シリコンパッド重畳層74（酸化マスクとして後に使用される）を含む。

【0052】図11は、初期側壁スペーサ76、LDDソースドレイン接合領域78、及び第2側壁スペーサ80の形成に続く図10のトランジスタ構造36の横断面図である。側壁スペーサ76は、図4に関連して上に論じた側壁スペーサ56と同じように形成される。したがって、厚さ100Åの程度の側壁酸化物が、酸化物の成長、又は酸化物層の堆積とその後のエッチングのいずれかによって形成される。LDDソースドレイン接合領域78は、図4に関連して上に論じLDDソースドレイン接合領域58と同じようにして形成される。したがって、LDDソースドレイン接合領域78は、 5×1

$0.12 / \text{cm}^2$ から $1 \times 10^{14} / \text{cm}^2$ の程度のドーズのn形（ヒ素、リン、又はアンチモン）イオン打込みによって形成される。イオン打込みエネルギーレベルは、10から50keV、好適には、20keVである。

【0053】しかしながら、第2側壁スペーサ80は、図5の第2側壁スペーサ60と異なり、窒化シリコンではなく酸化シリコンを使用して構成される。LPCVD又はPECVDプロセスが使用されて、厚さ500から3,000Åの酸化層を堆積する。RIEが、このエッチ中に窒化シリコンパッド重畳層74が完全に除去されるのを防止するために、20対1の程度の酸化物とシリコン間の選択率及び4対1の程度の酸化物と窒化物間の選択率を以て、遂行される。注意しなくてはならないことは、長いオーバーエッチを伴うRIEプロセスは、絶縁層48の露出部分の除去を起こさせ、これによって、（特にもし過剰酸化シリコンの基板表面からの完全な除去を保証するために長いRIEオーバーエッチ時間が使用されるならば）LDDソースドレイン接合領域78を露出させるということである。

【0054】図12は、再成長絶縁セグメント82の形成に続く図11のトランジスタ構造36の横断面図である。酸化プロセスは、LDDソースドレイン接合領域78上に厚さ100Åの程度の絶縁セグメント82を成長させる。注意しなくてはならないことは、窒化シリコンパッド重畳層74は、絶縁セグメント82を形成する酸化物成長に使用される熱酸化プロセス中、処分可能上側ゲート領域54を酸化雰囲気から保護しかつマスクすることである。したがって、図13内に示される構造は、図5内に示されるものと、基本的に類似である。顕著な相違は、第2側壁スペーサ80が、図5に示された第2側壁スペーサ60の場合における窒化物材料ではなく、酸化物材料であるということである。

【0055】図13は、窒化シリコンパッド重畳層74の選択除去に続くトランジスタ構造36の横断面図である。等方性かつ選択的エッチが使用されて窒化シリコンパッド重畳層74を除去し、これによって、処分可能上側ゲート領域54を露出する。注意しなくてはならないのは、この等方性窒化物エッチは、一般に、窒化物は侵食し、かつ側壁スペーサ76、第2側壁スペーサ80、及び成長絶縁セグメント82のような酸化物領域はどれも除去しないということである。

【0056】図14は、先に存在する処分可能上側ゲート領域54の完全選択除去に続くトランジスタ構造36の横断面図である。第2側壁スペーサ80の形成の後、等方性エッチが遂行される。このエッチングプロセスは、処分可能上側ゲート領域54（図13参照）を除去する。このエッチは、中間ゲートエッチストップ領域52上で停止し、及び側壁スペーサ76間かつ中間ゲートエッチストップ領域52上のゲートトレンチ面域62を規定する。次いで、本発明によりトランジスタデバイス

を構成するために、図7から図9に関連して論じた残りのステップが遂行される。

【0057】もし必要ならば、本発明は、効率的にかつ均一にドーブされたゲート電極を備えかつエレベータッドソースドレイン接合領域の形成を伴わないデバイスを製造するために、更に変更され得る（本発明の他の実施例）。図6を参照すると、これは、薄いゲートエッチストップ層52を選択除去することによって、かつソースドレイン接合領域58上に延長するゲート絶縁層48の完全除去を伴わずに、達成される。例えば、もしエッチストップ層52が20Åの厚さの酸化物であり、かつ領域58上に延長するゲート絶縁層が100Åの厚さの酸化物であるならば、エッチストップ層52は、このゲート絶縁層延長を完全除去を伴わずに定時等方性酸化物エッチで以て（100%程のオーバーエッチで以て）容易に除去される。この結果、その後のSSGプロセス中、シリコンが、選択的に、ゲートトレンチ面域62にのみ堆積されて、永久上側ゲート領域68を形成する。LDDソースドレイン接合領域58に重畳する残りのゲート絶縁層の誘電マスキング作用に起因して、エレベータッドソースドレイン接合領域がこのLDDソースドレイン接合領域上に形成されることはない。

【0058】上述の代替実施例は、また、第1ゲートトレンチ再充填の後、エレベータッドソースドレイン接合領域の形成を可能とする。これは、本来のSSGプロセスを2つ（以上）の分離SSGプロセスに分割することによって、行われる。第1SSGプロセスは、ゲートストップ層52の除去の後に遂行され、この間、絶縁層48はLDDソースドレイン接合領域58上に残る。この第1SSGプロセスは、ゲートトレンチ面域62を部分的に充填するように時間調整される。その後、絶縁層48は、異方性酸化物エッチによってLDDソースドレイン接合領域58上から除去される。第2SSGプロセスが好適に行われ、これがゲートトレンチ面域62の再充填を完成し、かつソースドレイン接合領域58上に薄いエレベータッドソースドレイン接合領域を形成する。続いてその後、 n^+ イオン打込み及びアニールが遂行されて、ゲート電極の頂部をドーブしかつ n^+ ソースドレイン接合領域を形成する。このプロセス順序は、最終ゲート電極高さに無関係に、薄いエレベータッドソースドレイン接合領域の形成を可能とする。

【0059】図15から図19までは、本発明により構成されたトランジスタをその近傍の他のデバイスに相互接続する新規なプロセス及び構造を示す。特に、図15は、図8に示されたトランジスタ構造36の代替横断面図である。SSGによって4,000Åの程度の厚さに単一半導體層を備えるエレベータッドソースドレイン接合領域を形成する代わりに、新規相互接続方式を実現する適当な配位配置を提供するために、2つのステップが図15の実施例に使用される。特に、第1ステップ

は、厚さ2,000Åの程度(すなわち、図8に関連して論じられたシリコンの全所望厚さ4,000Åの約半分)の、好適には、シリコンの第1SSGを含む。ここでもまた、その半導体は、非晶質、多結晶、単結晶シリコン、ゲルマニウム、又はシリコン-ゲルマニウム合金である。第1SSGは、第1エレベータードソースードレイン接合領域87及び第1上側ゲート領域88を形成する。更に、そのシリコンは、インサイトドーピングされるか、又は不ドーピングシリコンとして成長させられてこれに続くその後ドーピングステップでドーピングされる。第2SSGは、図17に関連して下に論じられる。

【0060】図16は、パターン化ホットレジスト又はハードマスク89及び90を図15の構造の上に配置されたトランジスタ構造36の横断面図である。ホットレジスト又はハードマスク89及び90は、相互接続マスクから作られた陰画であり、したがって、作ろうとする反応高融点金属相互接続に対して所望されるトランジスタ構造36及びフィールド絶縁領域42の面域を露出させる。もしハードマスクが使用されるならば、リン化ケイ酸ガラス(PSG)、ホウ化ケイ酸ガラス(BSG)、又はホウリン化ケイ酸ガラス(BPSG)が、好適である。低エネルギーイオン打込みが、次いで、遂行される。この打込みは、好適には、 $1 \times 10^{13} / \text{cm}^2$ から $1 \times 10^{16} / \text{cm}^2$ のドーピング50keV未満のエネルギーレベルのものである。この軽イオン打込みは、フィールド絶縁領域42上を含む打込み領域に軽い表面損傷を起こし、かつこの表面の不ボンド半導体原子をこの表面内に打ち込む。特に、マスクイオン打込みプロセスでは、打込みイオンが堆積されたフィールド絶縁領域42の表面構造を変態する。フィールド絶縁領域42は、次の現象の組合わせに起因する相互接続パターンに従いそれらの表面において変態される。すなわち、第1に、低エネルギー打込みイオン(シリコン、ヘリウム、又はゲルマニウム、好適には、ゲルマニウム)がこの表面のSi-Oボンドを破り、表面損傷を起こさせる、第2に、打込みシリコン又はゲルマニウム原子が、マスク打ち込みされた表面領域近くに堆積され、かつ追加の不ボンド(又は緩くボンドした)半導体原子を生じる。代替イオン打込みプロセスは、シリコン又はゲルマニウムの代わりに、アルゴン又はヘリウムのような他の不活性種を打ち込む。

【0061】図17は、第2エレベータードソースードレイン接合領域92、第2上側ゲート領域94、及び半導体相互接続セグメント96の形成に続く図16に示されたトランジスタ構造36の横断面図である。ホットレジスト又はハードマスク89及び90は、剥がされる。不ドーピング又はドーピング半導体材料の第2SSGが、遂行される。好適には、打込みフィールド絶縁領域42上に堆積された半導体材料は、非晶質又は多結晶シリコン、ゲルマニウム、又はシリコン-ゲルマニウム合金である。第

2SSGは、3つの機能を遂行する。第1に、第2上側ゲート領域94が形成され、これが第1上側ゲート領域88及び下側ゲート領域50と組み合わさり完全ゲートを生じるゆえに、トランジスタ構造36に対するゲートが完成される。第2に、第2エレベータードソースードレイン接合領域92が形成され、これが第1エレベータードソースードレイン接合領域87と組み合わさり、エレベータードソースードレイン接合領域を完成する。第3に、図16に関連して論じられたイオン打込みに起因して半導体がフィールド絶縁領域上に堆積されたゆえに、このSSGが半導体相互接続を形成する。

【0062】イオン打込みマスク89及び90の除去に続くこのSSGの結果、半導体は、ソースードレイン接合領域92及びゲート領域94の露出半導体上に堆積されるのみならず、フィールド絶縁領域42の打込み領域及びいかなる他の打込み絶縁表面上にも堆積される。

(必要となしにいつでも)適正な相互接続マスクパターンを使用すると、このプロセスは、ソース、ドレイン、及び(又は)ゲート電極領域に直接接続される半導体相互接続を形成する。

【0063】図18は、高融点金属層の前面堆積の後かつアニーリングプロセスの前の図17のトランジスタ構造36の横断面図である。高融点金属層97は、トランジスタ構造36のゲート領域及び(又は)ソースードレイン接合領域への接点を生じるために、下に論じられるように反応する。

【0064】図19は、反応高融点金属相互接続セグメント98及び100の形成に続く図18のトランジスタ構造36の横断面図である(ゲート導体88上のセグメント100に対する接続は示されていない)。反応高融点金属相互接続セグメント98及び100は、好適には、3つのプロセスで形成される。高融点金属がこれに接触する半導体材料と反応する所に反応高融点金属を形成するためにRTA又は炉アニールが遂行される。注意しなくてはならないのは、図19は、この高融点金属と半導体セグメント96、第2エレベータードソースードレイン接合領域92及び第2上側ゲート領域94(図18参照)との完全反応及び消費を示している。しかしながら、この完全消費は、必要というのではなく、単に説明目的のために示されているに過ぎない。

【0065】過剰不反応高融点金属及び反応高融点金属窒化物は、次いで、選択的エッチングプロセスによって除去される。最終的に、高融点金属相互接続セグメント98及び100の電気抵抗率を更に低めかつシリサイド化学量論を向上するために、第2RTA又は炉アニーリングプロセスが、遂行される。

【0066】図17及び図18を再び参照すると、半導体過剰セグメント96、第2エレベータードソースードレイン接合領域92、及び第2上側ゲート領域94の半導体材料は、トランジスタ構造36への“反応高融点金

属”接点を形成する高融点金属層97と反応する下敷材料を提供することが判かる。換言すると、反応高融点金属接点は、半導体材料が、先に形成されていればいつでも形成する。この反応は、トランジスタ構造36へのいかなる所望の相互接続をも形成する自己整合プロセスである。更に、もし必要ならば、どの側壁スペース領域上にも半導体を成長させるために、相互接続マスク89及び90（図16参照）は、これらの領域内へイオン打ち込みを可能とするように構成される。このプロセスは、半導体材料を生じ、及び続いてその後形成される、トランジスタのゲートソース間及び（又は）ゲートドレイン間反応高融点金属接点を形成する。

【0067】本発明において説明された局部相互接続プロセスは、局部相互接続線としてシリサイド層のようなパターン化反応高融点金属を生じる。これは、高融点金属窒化物に比較してのシリサイドの低電気抵抗率に起因し、かつまた、極めて多数の金属とのその適合性（窒化物よりも遙かに多くの高融点金属シリサイドが形成されかつ良電気導体として使用され得る）に起因して、先行技術の高融点金属窒化物局部相互接続より、好適である。エレベータードソースドレイン接合領域及びゲート電極形成、並びに半導体層が十分に消費される反応高融点金属相互接続を独立に最適化可能とするために、本発明の製造プロセスは、2つの分離SSGプロセスを採用する。全体プロセスは、十分に平坦なデバイス構造及び縮小チップ表面微細構造を生じる。もし必要ならば、これら2つのSSGプロセスは、プロセッシング複雑性を減少するために、1つのプロセスに統合され得る。しかしながら、これは、後続のシリサイド相互接続用にフィールド絶縁層上に成長させられる半導体層の厚さを、エレベータードソースドレイン接合領域の厚さと等しくする。なおまた、全デバイス表面微細構造にいくらか影響する。

【0068】注意しなくてはならないのは、局部相互接続マスク及びイオン打ち込みプロセスは、半導体セグメントが形成されるその絶縁領域と接続するデバイス端子領域（ゲート、ソース、ドレイン）との間の打ち込みオーバーラップに対する許容を設けるということである。例えば、デバイスのソースとドレインを接続するシリサイド局部相互接続セグメント（を形成するために、フィールド絶縁表面及びその縁上のこのセグメントの適正な形成と延長が保証されるように、イオン打ち込みは露出ソースドレイン接合領域に十分にオーバーラップすることが許容される。露出ソースドレイン接合領域及び（又は）露出ゲート領域内の打ち込み原子は、続くその後のSSGプロセス及びこれらの露出面域に堆積された半導体に実質的な影響を持たない。更に、本発明の製造プロセス順序は、ゲート領域、ソースドレイン接合領域、及び局部相互接続セグメント領域上に完全反応高融点金属形成を可能とする。（SSGプロセスによって形成されるい

かなる半導体層をも生じることのない）絶縁表面上に残された高融点金属窒化物及びどの過剰高融点金属材料も、シリサイド及び絶縁層材料に対して選択的である等方性ウエット又はドライエッチプロセスによって容易に除去される。（高融点金属窒化物アンダカットのような他の版を考慮しなければならない従来の局部相互接続に反して）この型式のエッチプロセスは、十分に容易に現像される。

【0069】本発明は、n形MOSデバイスの形成に関連して論じられたが、しかし、もし云うまでもなく、ドーパント型式が適正に変更されるならば、pMOS環境においても、デバイスは、同じようにして構成される。更に、エレベータードソースドレインデバイスの提供は好適実施例であるが、しかし、云うまでもなく、本発明は、半導体基板にデバイスが構成されこの基板（又は井戸）内に全体的にソースドレイン接合領域を有する標準形トランジスタデバイスにも使用される。もし望むならば、本発明のデバイス製造フローは、第2厚い側壁スペースの形成に先立ちエレベータードソースドレイン及び浅いLDD接合領域を形成するために、適正にかつ容易に変更され得る。このオプションは、本発明のデバイス構造に従いかつ2ステップ（又は1ステップ）SSGプロセスに基づき超浅LDDソースドレイン接合領域の形成を可能にする。なお更に、本発明は詳細に説明されたけれども、云うまでもなく、多様な変更、置換、及び代替が、添付の特許請求の範囲の精神と範囲から逸脱することなく本発明に関して可能である。

【0070】

【発明の効果】上の説明から、本発明は、トランジスタデバイスの構成及び相互接続を含む新規なかつ実用的プロセス及び構造を提供することが判かる。本発明によるトランジスタの製造及び相互接続は、ゲート導体-ゲート絶縁体界面近くで高濃度かつ均一分布のドーパントを有する浅いソースドレイン接合領域とゲート導体を含む。更に、本発明は、ソースドレイン接合領域とゲート導体を同時にドーピングすることに関連した利点を有するエレベータードソースドレイントランジスタを製造するオプションを提供する。更に、本発明によって提供される新規な相互接続は、半導体下敷層との反応高融点金属を利用する局部相互接続を可能とし、したがって、高融点金属窒化物又は高電気抵抗相互接続の使用を除去する。

【0071】以上の説明に関して更に以下の項を開示する。

（1）半導体領域近くに絶縁層を形成するステップと、前記絶縁層近くかつ前記半導体領域と反対側に第1ゲート導体領域を形成するステップと、前記ゲート導体領域及び前記半導体領域内へドーパントを同時に打ち込むことによって前記半導体領域内に打ち込みソースドレイン領域を形成するステップと、前記第1ゲート導体領域近

くに第2ゲート導体領域を形成するステップと、を含むトランジスタ製造方法。

【0072】(2)第1項記載のトランジスタ製造方法であって、前記打込みソースドレイン領域近かつ該領域に重畳するエレベータッドソースドレイン領域を形成するステップを更に含むトランジスタ製造方法。

【0073】(3)第2項記載のトランジスタ製造方法において、前記エレベータッドソースドレイン領域は第1対のエレベータッドソースドレイン領域を含み、前記トランジスタ製造方法は、前記第1対のエレベータッドソースドレイン領域上に重畳する第2対のエレベータッドソースドレイン領域を形成するステップを更に含むトランジスタ製造方法。

【0074】(4)第1項記載のトランジスタ製造方法において、前記ゲート導体領域は側壁を含み、前記トランジスタ製造方法は、前記ゲート導体領域の前記側壁近くに側壁スペーサを形成するステップを更に含むトランジスタ製造方法。

【0075】(5)第1項記載のトランジスタ製造方法であって、相互接続を形成しようとする所の面域が露出されるように前記トランジスタの選択領域をマスクで覆うステップと、前記露出面域内にイオンを打ち込むステップと、を更に含むトランジスタ製造方法。

【0076】(6)第5項記載のトランジスタ製造方法であって、前記マスクを除去するステップと、前記露出面域内に半導体相互接続領域を形成するステップと、を更に含むトランジスタ製造方法。

【0077】(7)第6項記載のトランジスタ製造方法であって、前記露出面域内に反応高融点金属接点を形成するステップを更に含むトランジスタ製造方法。

【0078】(8)第7項記載のトランジスタ製造方法において、前記反応高融点金属接点を形成する前記ステップは、前記露出面域上に高融点金属をスパッタするステップと、前記高融点金属が前記半導体相互接続領域と反応するように前記高融点金属をアニールするステップと、を更に含むトランジスタ製造方法。

【0079】(9)第1項記載のトランジスタ製造方法であって、前記第1ゲート導体領域近かつ前記第1絶縁層と反対側にエッチストップ層を形成するステップと、前記エッチストップ層近かつ前記第1ゲート導体領域と反対側に処分可能ゲート領域を形成するステップと、を更に含むトランジスタ製造方法。

【0080】(10)第8項記載のトランジスタ製造方法であって、前記処分可能ゲート領域近かつ前記エッチストップ層と反対側に窒化パッド層を形成するステップを更に含み、前記第1ゲート導体領域と、前記エッチストップ層と、前記処分可能ゲート領域とは側壁を含み、前記トランジスタ製造方法は、前記側壁近くに側壁スペーサを形成するステップと、前記側壁スペーサ近くに酸化物側壁スペーサを形成ステップと、を更に含むト

ランジスタ製造方法。

【0081】(11)半導体領域近くにありかつ側壁を有する絶縁層を形成するステップと、前記絶縁層近かつ前記半導体領域と反対側にあり側壁を有する第1ゲート導体領域を形成するステップと、前記第1ゲート導体領域近かつ前記絶縁層と反対側にあり側壁を有するエッチストップ層を形成するステップと、前記エッチストップ層近かつ前記第1ゲート導体領域と反対側にあり側壁を有する処分可能ゲート領域を形成するステップと、前記絶縁層の側壁近くと、前記ゲート導体領域の側壁近くと、前記エッチストップ層の側壁近くと、前記処分可能ゲート領域の側壁近くとに側壁スペーサを形成するステップと、前記第1ゲート導体領域と前記半導体領域と内へ同時にドーパントを打ち込むことによって前記半導体内に打込みソースドレイン領域を形成するステップと、を含むトランジスタ形成方法。

【0082】(12)第1項記載のトランジスタ形成方法であって、前記エッチストップ層を除去するステップと、前記第1ゲート半導体領域近くに第2ゲート導体領域を形成するステップを更に含むトランジスタ形成方法。

【0083】(13)第1項記載のトランジスタ形成方法であって、前記処分可能ゲート領域近かつ前記エッチストップ層と反対側に窒化物パッドを形成するステップを更に含み、前記側壁スペーサは酸化物窒化物側壁スペーサを含むトランジスタ形成方法。

【0084】(14)第1項記載のトランジスタ形成方法であって、エレベータッドソースドレイン領域と接触する半導体延長セグメントを形成するステップと、前記エレベータッドソースドレイン領域と接触する反応高融点金属層を形成するステップと、を更に含むトランジスタ形成方法。

【0085】(15)第1項記載のトランジスタ形成方法であって、前記ゲート導体領域上に重畳する反応高融点金属層を形成するステップと、を更に含むトランジスタ形成方法。

【0086】(16)第1項記載のトランジスタ形成方法において、前記トランジスタは集積回路内に含まれ、前記トランジスタ形成方法は、相互接続を形成しようとする所の面域が露出されるように前記トランジスタの選択領域をマスクで覆うステップと、前記露出面域内にイオンを打ち込むステップと、前記マスクを除去するステップと、前記露出面域内に半導体相互接続領域を形成するステップと、前記露出面域内に反応高融点金属接点を形成するステップを更に含むトランジスタ形成方法。

【0087】(17)半導体領域近くの絶縁層と、前記絶縁層近かつ前記半導体領域と反対側の第1ゲート導体領域と、前記半導体領域内の1対の打込みソースドレイン領域と、前記第1ゲート導体領域近くの第2ゲ

ト導体領域と、を含むトランジスタ。前記第1ゲート領域近くの第2ゲート導体領域と、を含むトランジスタ。

【0088】(18)第17項記載のトランジスタにおいて、前記1対のソースドレイン領域は重度ドーブソースドレイン領域を含み、前記トランジスタは、前記重度ドーブソースドレイン領域と接触する1対の軽度ドーブドレインソースドレイン領域を更に含むトランジスタ。

【0089】(19)第17項記載のトランジスタであって、前記打込みソースドレイン領域近くかつ該領域に重畳する1対のエレベータッドソースドレイン領域を更に含むトランジスタ。

【0090】(20)第19項記載のトランジスタにおいて、前記エレベータッドソースドレイン領域は第1対のエレベータッドドーブソースドレイン領域を含み、前記トランジスタは、前記第1対のエレベータッドドーブソースドレイン領域に重畳する第2対のエレベータッドソースドレイン領域を更に含むトランジスタ。

【0091】(21)第17項記載のトランジスタにおいて、前記ゲート導体領域は側壁を含み、前記トランジスタは、前記ゲート導体領域近くの側壁スペーサを更に含むトランジスタ。

【0092】(22)第17項記載のトランジスタであって、前記第1ゲート導体領域近くかつ前記第1絶縁層と反対側のエッチストップ層と、前記エッチストップ層近くかつ前記第1ゲート導体領域と反対側の処分可能ゲート領域と、を更に含むトランジスタ。

【0093】(23)第22項記載のトランジスタであって、前記処分可能ゲート領域近くかつ前記エッチストップ層と反対側の窒化ハット層を更に含み、前記第1ゲート導体領域と、前記エッチストップ層と、前記処分可能ゲート領域とは側壁を含み、前記トランジスタは、前記側壁近くの1対の側壁スペーサと、前記側壁スペーサ近くの酸化物側壁スペーサと、を更に含むトランジスタ。

【0094】(24)改善されたデバイス製造方法及びトランジスタ構造36は、浅い重度ドーブソースドレイン接合領域64及びゲート電極-ゲート界面51近くに効率的に分布された高濃度のドーパントを有する均一ドーブ下側ゲート領域50を生じる。トランジスタ構造36のゲート、ソース、及びドレイン端子は、反応高融点金属相互接続98及び100の使用を通して近旁又は遠隔の他のデバイスに相互接続される。本発明のトランジスタ構造36は、第1上側ゲート電極領域88と共に同時に製造されるエレベータッドソースドレイン接合領域87を含むようにエレベータッドソースドレイン型式に構成されることもできる。このエレベータッドソースドレイン接合特徴は、デバイスプロセッシング複雑性を追加することなく提供される。

【図面の簡単な説明】

【図1】トランジスタ構成用シリサイドゲート及びソースドレイン接合領域を備える先行技術のエレベータッドソースドレイントランジスタの横断面図。

【図2】堀領域を規定する厚い絶縁フィールド領域によって囲われる堀、すなわち、活性領域を有する本発明による実施例のトランジスタ構造の半導体基板（又は井戸）の横断面図。

【図3】ゲート誘電体層上に置かれた下側ゲート領域及び処分可能上側ゲート領域を含む本発明による実施例のトランジスタ構造の初期ゲート構造の横断面図。

【図4】第1薄側壁スペーサ及び軽度ドーブソースドレイン接合領域を有する本発明による実施例のトランジスタ構造の初期ゲート構造の横断面図。

【図5】処分可能上側ゲート領域を除去する前の第2側壁スペーサを備える本発明による実施例のトランジスタ構造の初期ゲート構造の横断面図。

【図6】処分可能上側ゲート領域を除去した後の本発明による実施例のトランジスタ構造の横断面図。

【図7】下側ゲート領域及びソースドレイン接合領域をドーブするイオン打込みプロセス前かつゲートエッチストップ層を除去した後の重度ドーブソースドレイン接合領域を含む本発明による実施例のトランジスタ構造の横断面図。

【図8】SSGプロセスから形成されたエレベータッドソースドレイン接合領域及び永久上側ゲート領域を含む本発明による実施例のトランジスタ構造の横断面図。

【図9】反応高融点金属（好適にはシリサイド）トランジスタ接点を有する本発明による実施例のトランジスタ構造の横断面図。

【図10】パッド窒化シリコン重畳層を形成された代替初期ゲート構造を有する本発明による実施例のトランジスタ構造の横断面図。

【図11】側壁スペーサ及びゲートパッド窒化物重畳層を有する本発明の代替実施例のトランジスタ構造の横断面図。

【図12】打込みソースドレイン接合領域に重畳する再成長絶縁セグメントを有する図11のトランジスタ構造の横断面図。

【図13】ゲートパッド窒化物重畳層の除去に続く図12の本発明の代替実施例のトランジスタ構造の横断面図。

【図14】処分可能上側ゲート領域の除去に続く図13の本発明の代替実施例のトランジスタ構造の横断面図。

【図15】ゲートエッチストップ層及びソースドレイン絶縁層の除去の後かつ第1エレベータッドソースドレイン接合領域及び第2上側ゲート領域の形成後の本発明の代替実施例のトランジスタ構造の横断面図。

【図16】マスクイオン打込み用パターン化局部相互接続ホトレジスト又はハードマスクを被せられた本発明の

実施例のトランジスタ構造の横断面図。

【図17】第2エレベータードソースドレイン接合領域、第2上側ゲート領域、並びに局部相互接続半導体延長セグメントを有する本発明の実施例のトランジスタ構造の横断面図。

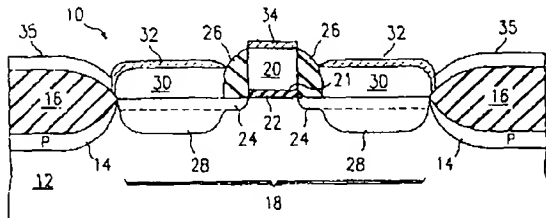
【図18】高融点金属を被せられた本発明の実施例のトランジスタ構造の横断面図。

【図19】フィールド絶縁領域上に延長しかつソースドレイン接合領域とゲート電極領域に接続する低電気抵抗の反応高融金属相互接続セグメントを有する本発明

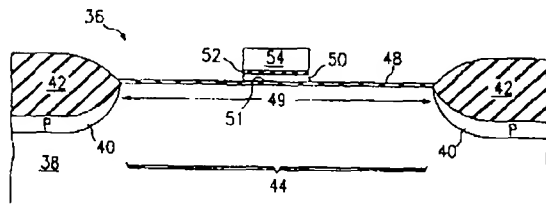
【符号の説明】

- 36 トランジスタ構造
- 38 半導体基板
- 40 pチャネルストップ領域
- 42 フィールド絶縁領域
- 45 堀表面領域
- 48 ゲート絶縁領域
- 50 下側ゲート領域
- 51 ゲート導体絶縁体界面
- 52 中間ゲートエッチストップ層
- 53 チャンネル領域

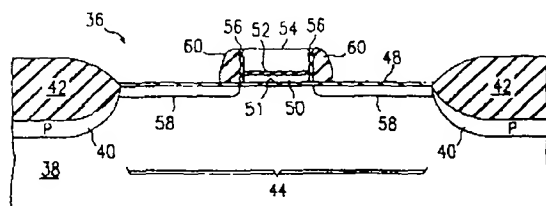
【図1】



【図3】

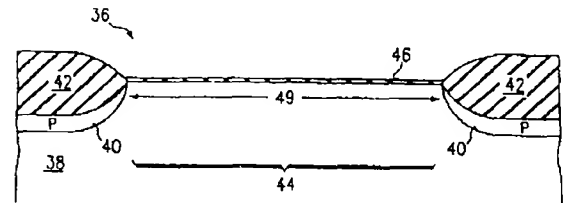


【図5】

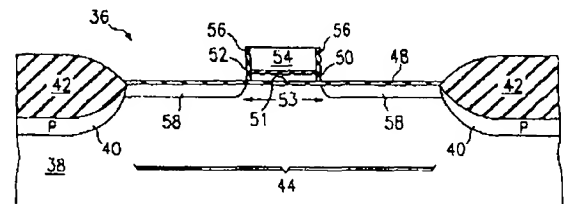


- 54 処分可能上側ゲート領域
- 56 第1側壁スペーサ
- 58 LDDソースドレイン接合領域
- 60 第2側壁スペーサ
- 62 ゲートトレンチ面域
- 64 重度ドーブソースドレイン接合領域
- 66 エレベータードソースドレイン接合領域
- 68 永久上側ゲート半導体領域
- 70, 72 反応高融点金属接点
- 74 窒化シリコンパッド重畳層
- 76 初期側壁スペーサ
- 78 LDDソースドレイン接合領域
- 80 第2側壁スペーサ
- 82 絶縁セグメント
- 87 第1エレベータードソースドレイン接合領域
- 88 第1上側ゲート導体領域
- 89, 90 ホトレジスト又はハードマスク
- 92 第2エレベータードソースドレイン接合領域
- 94 第2上側ゲート導体領域
- 96 半導体相互接続セグメント
- 97 高融点金属層
- 98, 100 反応高融点金属相互接続セグメント

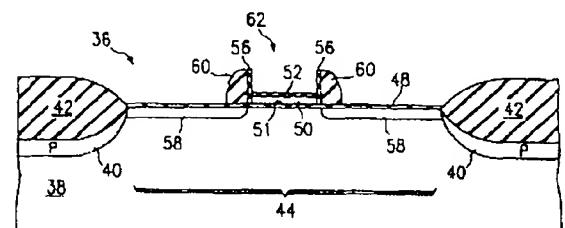
【図2】



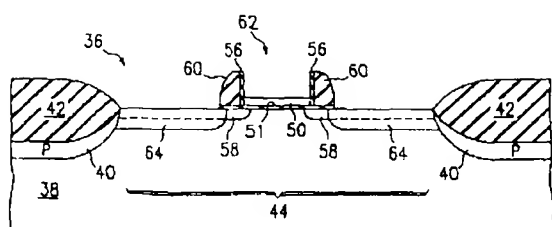
【図4】



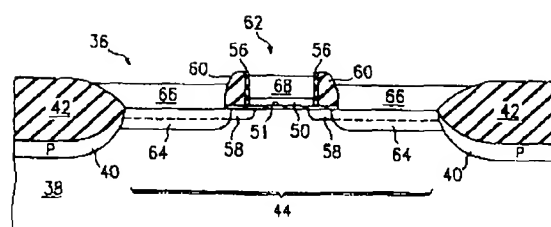
【図6】



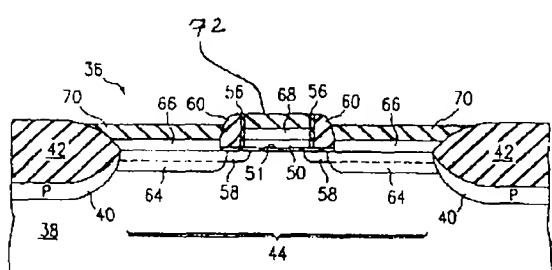
【図7】



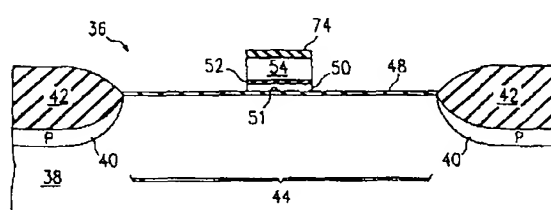
【図8】



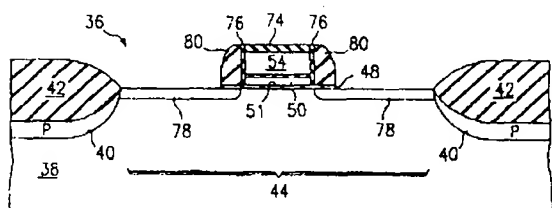
【図9】



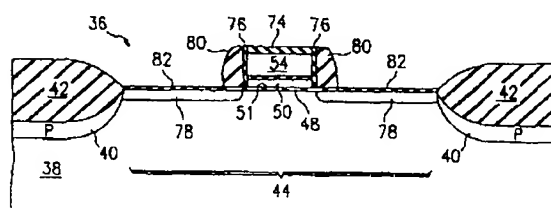
【図10】



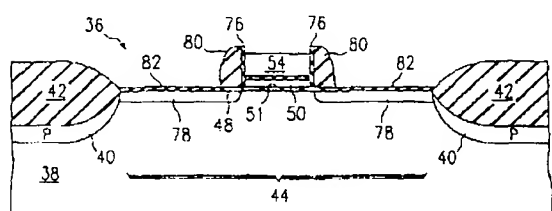
【図11】



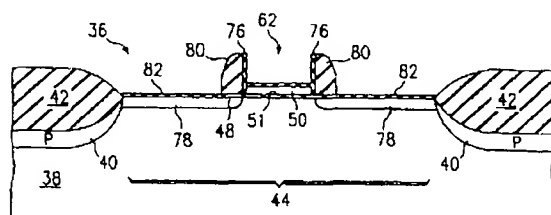
【図12】



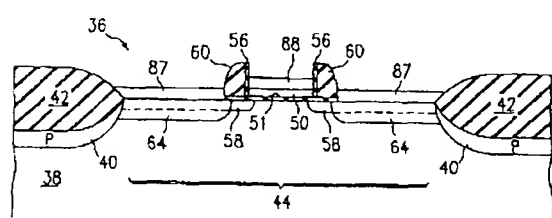
【図13】



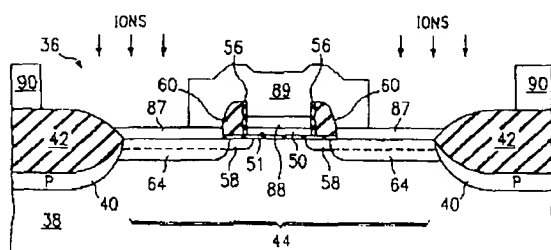
【図14】



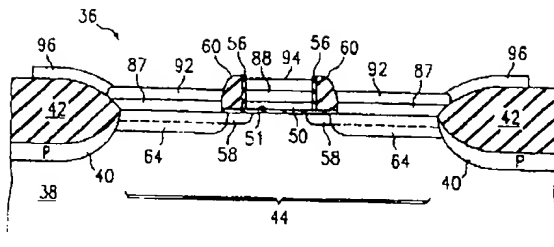
【図15】



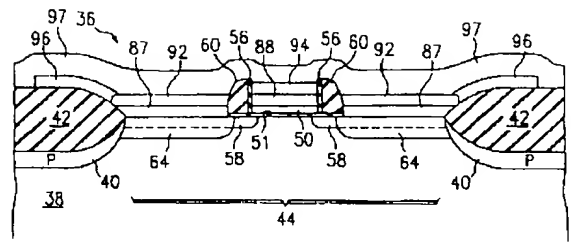
【図16】



【図17】



【図18】



【図19】

